



DEUTSCHES
PATENT- UND
MARKENAMT

12 Patentschrift
10 DE 101 25 967 C 1

51 Int. Cl. 7:
H 01 L 27/10
H 01 L 21/8242

21 Aktenzeichen: 101 25 967.0-33
22 Anmeldetag: 29. 5. 2001
43 Offenlegungstag: -
45 Veröffentlichungstag
der Patenterteilung: 11. 7. 2002

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:
Infineon Technologies AG, 81669 München, DE

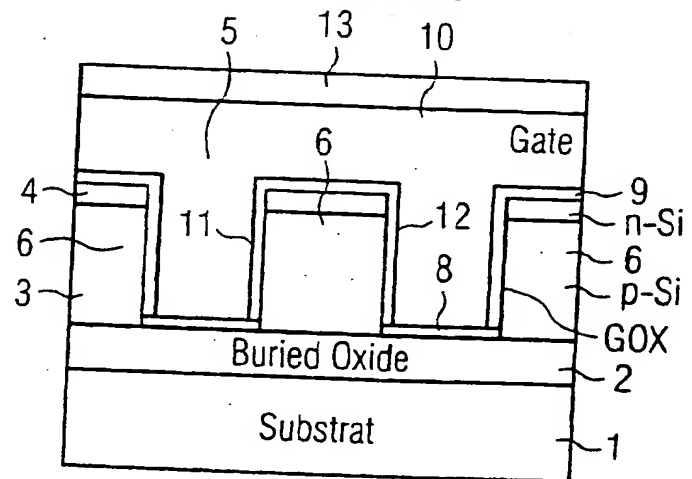
74 Vertreter:
Wilhelm & Beck, 80636 München

72 Erfinder:
Schlösser, Till, 81825 München, DE; Lee, Brian, New
York, N.Y., US

56 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 199 29 211 A1
DE 44 30 483 A1

54 DRAM-Zellanordnung mit vertikalen MOS-Transistoren und Verfahren zu deren Herstellung

57 Die entlang einer der Spalten der Speicherzellenmatrix angeordneten Kanalgebiete (6) sind Teile eines Steges (7), der von einer Gatedielektrikumschicht (9) umgeben ist. Die Gateelektroden (11, 12) der MOS-Transistoren einer Reihe sind Teile einer streifenförmigen Wortleitung (10), so dass an jedem Kreuzungspunkt der Speicherzellenmatrix ein vertikaler Doppel-Gate-MOS-Transistor mit auf beiden Seiten des zugehörigen Steges (7) in den Gräben (5) gebildeten Gateelektroden (11, 12) der zugehörigen Wortleitung (10) vorgesehen ist.



DE 101 25 967 C 1

[0001] Die Erfindung betrifft eine DRAM-Zellenanordnung mit vertikalen MOS-Transistoren sowie ein Verfahren zu deren Herstellung, wobei die Transistoren keinen sogenannten Floating Body besitzen, jedoch "Fully depleted" sein sollen.

[0002] Als Speicherzelle einer DRAM-Zellenanordnung, also eines dynamischen Halbleiterspeichers, wird derzeit fast ausschließlich die seit langem bekannte Ein-Transistor-Speicherzelle eingesetzt, die einen MOS-Auswahltransistor und einen Kondensator umfasst. Die Information der Speicherzelle ist in Form einer Ladung auf dem Kondensator gespeichert. Der Kondensator ist mit dem Transistor so verbunden, dass bei Ansteuerung des Transistors über eine Wortleitung die Ladung des Kondensators über eine Bitleitung ausgelesen werden kann.

[0003] Es wird allgemein angestrebt, eine DRAM-Zellenanordnung zu erzeugen, die eine hohe Packungsdichte aufweist. Dazu ist es vorteilhaft, den MOS-Transistor als vertikalen Transistor, bei dem Source, Kanalbereich und Drain übereinander angeordnet sind, auszugestalten. Ein solcher MOS-Transistor kann einen kleinen Platzbedarf unabhängig von einer Kanallänge aufweisen. Weiterhin wird angestrebt, den vertikalen Transistor und den zugehörigen Kondensator jeder Speicherzelle auf einem Halbleitersubstrat in vertikaler Richtung übereinander anzuordnen.

[0004] Eine Anordnung aus vielen solchen Speicherzellen ist z. B. aus der DE 44 30 483 A1 bekannt. Jede Speicherzelle weist dabei einen säulenförmigen, vertikal angeordneten Auswahltransistor auf, der ein Draingebiet und ein Sourcegebiet in einer Halbleiter-Substratsäule enthält, wobei zwischen dem Drain- und dem Sourcegebiet ein ebenfalls in vertikaler Richtung verlaufender Stromkanal verläuft, der durch eine Steuergate-Elektrode gesteuert wird, die die Substratsäule getrennt durch eine Oxidschicht vollständig umschließt. Die beispielsweise aus dotiertem Polysilizium bestehenden Steuergate-Elektroden verschiedener Speicherzellen sind elektrisch miteinander verbunden und bilden die Wortleitung zur Ansteuerung des Auswahltransistors.

[0005] Problematisch an dem bekannten MOS-Transistor ist insbesondere das vom Substrat isolierte säulenförmige Kanalgebiet, in dem sich Ladungsträger ansammeln und z. B. die Einsatzspannung verändern können. Die vollständige Isolierung des aktiven Gebiets, die beispielsweise auch bei SOI (Silicon-on-Insulator)-Substraten vorliegt und dort mehrere Vorteile hat, führt demnach auch zu negativen Effekten, den sogenannten Floating-Body-Effekten. Diese Effekte werden dadurch hervorgerufen, dass im aktiven Gebiet erzeugte Ladungsträger nicht abfließen können. Dies betrifft insbesondere in einem Kanalgebiet eines MOS-Transistors erzeugte Ladungsträger.

[0006] Andererseits ist bei den bekannten MOS-Transistoren trotz der das Kanalgebiet umgebenden Gateelektrode nicht sichergestellt, dass sich die Verarmungszone von der Peripherie des säulenförmigen Kanalgebiets bis zu dessen Zentrum erstreckt, ob also der MOS Transistor tatsächlich "Fully depleted" im Sinne einer das Kanalgebiet vollständig erfüllenden Verarmungszone ist.

[0007] Ein MOS-Transistor des aufgrund seiner Vorteile zunehmend gewünschten "Fully depleted"-Typs erscheint realisierbar allenfalls in Fällen, in denen das p-dotierte Kanalgebiet, anders als beim (planaren) Standard-MOS-Transistor (bei dem es nicht vom Substrat getrennt ist), in irgendeiner Weise begrenzt ist. Dies ist beispielsweise bei dem säulenförmigen Kanalgebiet des bekannten Transistors der Fall, oder auch bei einem planaren MOS-Transistor auf einem SOI-Substrat. In diesen Fällen scheint die aufgrund der

Isolierung fehlende Verbindung des Kanalgebiets zum Substrat aber andererseits gerade wieder, wie oben beschrieben, zu einer Situation mit einem Floating Body zu führen.

[0008] Aus der DE 199 29 211 A1 ist eine DRAM-Zellenanordnung und ein Herstellungsverfahren bekannt, bei der die MOS-Transistoren als vertikale Transistoren ausgestaltet sind und bei der Floating-Body-Effekte vermieden werden. Der dortige Transistor bildet dazu einen höckerartigen Vorsprung im Substrat mit seitlich angrenzender Gateelektrode, wobei an einer anderen Seite des Vorsprungs das Kanalgebiet elektrisch über eine leitende Struktur mit der Gateelektrode verbunden ist, so dass im Kanalgebiet erzeugte Ladungsträger abfließen können. Insgesamt resultiert bei dieser bekannten Zellenanordnung jedoch eine komplizierte, verschachtelte Struktur, die entsprechend aufwendig in der Herstellung ist.

[0009] Der Erfindung liegt die Aufgabe zugrunde, eine DRAM-Zellenanordnung und ein Verfahren zu deren Herstellung zu schaffen, die Transistoren des Fully-depleted-Typs möglichst ohne Floating Body bietet und gleichzeitig einen einfachen Herstellungsprozess gewährleistet.

[0010] Diese Aufgabe wird erfindungsgemäß durch eine DRAM-Zellenanordnung mit den im Patentanspruch 1 angegebenen Merkmalen gelöst.

[0011] Die Erfindung schafft eine DRAM-Zellenanordnung mit vertikalen MOS-Transistoren.

- mit einer Matrix-Anordnung von Speicherzellen, die jeweils einen MOS-Transistor mit einem oberen Source/Drain-Gebiet, einem Kanalgebiet und einem unteren Source/Drain-Gebiet, die als Schichten übereinander gestapelt sind, und einen mit dem MOS-Transistor verbundenen Kondensator aufweisen,

- bei der die Kanalgebiete der MOS-Transistoren der Speicherzellenmatrix in Reihen und Spalten angeordnet sind und die entlang einer der Spalten angeordneten Kanalgebiete Teile eines horizontal in einem Substrat verlaufenden Steges sind,

- bei der die Stege jeweils auf beiden Seiten und oberhalb des oberen Source/Drain-Gebietes von einer Gate-dielektrikumschicht umgeben sind,

- bei der die Gateelektroden der MOS-Transistoren, die entlang einer der Reihen der Speicherzellenmatrix angeordnet sind, Teile einer streifenförmigen Wortleitung sind, die parallel zur Reihe, oberhalb der Stege verläuft und die von oben in die zwischen den Stegen in Spaltenrichtung gebildeten Gräben hineingreift und diese über die Breite der Wortleitung hinweg auffüllt,

- so dass an jedem Kreuzungspunkt der Speicherzellenmatrix ein vertikaler Doppel-Gate-MOS-Transistor mit auf beiden Seiten des zugehörigen Steges in den Gräben gebildeten Gateelektroden der zugehörigen Wortleitung vorgesehen ist.

[0012] Der Grundgedanke der Erfindung besteht darin, einerseits durch die lateralen Doppel-Gates der vertikalen Transistoren, je nach Breite und Dotierung der Kanalgebiete, die Transistoren ohne weiteres "Fully depleted" realisieren zu können und andererseits die Kanalgebiete, über die sie verbindenden Stege, am Substratrand kontaktieren zu können, so dass die Ladungsträger abfließen können.

[0013] Bei einer bevorzugten Ausführungsform wird eine DRAM-Zellenanordnung geschaffen,

- bei der jede Speicherzelle einen unter dem MOS-Transistor gestapelten Kondensator aufweist, der mit dem unteren Source/Drain-Gebiet elektrisch verbunden ist.

– und bei der oberhalb der MOS-Transistoren, die entlang einer der Spalten angeordnet sind, eine Metall-Bitleitung parallel zur Spalte verläuft, die über den Wortleitungen liegt und die mit den oberen Source/ Drain-Gebieten der zugehörigen MOS-Transistoren elektrisch verbunden ist.

[0014] Die oberen Source/Drain-Gebiete einer Spalte können dabei vorteilhafterweise als streifenförmiges, zusammenhängendes Gebiet ausgebildet und gemeinsam an die entsprechende Metall-Bitleitung angeschlossen sein.

[0015] Die Erfindung schafft ferner ein Verfahren zur Herstellung einer DRAM-Zellenanordnung nach Anspruch 1, das folgende Schritte umfasst:

- a) Implantieren von Dotierungsionen zur Erzeugung eines Arrays von oberen Source/Drain-Gebieten auf einem Substrat;
- b) Ätzen der Gräben mittels lithographisch erzeugter Maskenmuster zur Erzeugung der zu Stegen verbundenen Kanalgebiete;
- c) Erzeugung einer Abdeckschicht in den Gräben und Erzeugung einer Gatedielektrikumschicht auf den Oberflächen der Stege;
- d) Abscheiden und Strukturieren der streifenförmigen Wortleitungen, wobei zu beiden Seiten jedes MOS-Transistors Gateelektroden erzeugt werden;
- e) Abscheiden einer ersten waferbondingfähigen Hilfsschicht auf die Vorderseite des Substrats, nachfolgend Anbringen eines ersten Hilfsträger-Substrats auf dieser ersten Hilfsschicht und anschließendes Entfernen des Substrats;
- f) Implantieren von Dotierungsionen zur Erzeugung eines Arrays von unteren Source/Drain-Gebieten auf den Kanalgebieten;
- g) Erzeugung von flachen Isolationsgräben in STI-Technik.

[0016] Dadurch eröffnet sich insbesondere die Möglichkeit einer insgesamt einfachen DRAM-Herstellung mittels der folgenden zusätzlichen Schritte:

- h) Erzeugung von Kontaktstrukturen und von auf der Vorderseite des ersten Hilfsträger-Substrats mit Kontakt zu den unteren Source/Drain-Gebieten der zugehörigen MOS-Transistoren gestapelten Kondensatoren;
- i) Abscheiden einer zweiten waferbondingfähigen Hilfsschicht auf die Vorderseite des ersten Hilfsträger-Substrats, nachfolgend Anbringen eines zweiten Hilfsträger-Substrats auf dieser zweiten Hilfsschicht und anschließendes Entfernen des ersten Hilfsträger-Substrats und der ersten Hilfsschicht;
- j) Ausbilden einer strukturierten Metall-Bitleitung auf der Vorderseite des zweiten Hilfsträger-Substrats zur direkten elektrischen Kontaktierung der oberen Source/Drain-Gebiete.

[0017] Im Weiteren werden bevorzugte Ausführungsformen der erfindungsgemäßen DRAM-Zellenanordnung sowie deren Herstellungsverfahren unter Bezugnahme auf die beigefügten Figuren beschrieben.

[0018] Es zeigen:

[0019] Fig. 1a, 2a, sowie 3 und 4 Schnittansichten entlang der Schnittlinie A-A in Fig. 1b zur Darstellung aufeinanderfolgender Prozessschritte bei der Herstellung der erfindungsgemäßen DRAM-Zellenanordnung;

[0020] Fig. 1b und 2c Draufsichten auf erfindungsgemäß hergestellte DRAM-Zellenanordnungen bei den Prozess-

schritten gemäß Fig. 1a bzw. 2a;

[0021] Fig. 2b eine Schnittansicht entlang der Schnittlinie B-B in Fig. 2c.

[0022] Im Weiteren werden die einzelnen Prozessschritte zur Herstellung der erfindungsgemäßen DRAM-Zellenanordnung unter Bezugnahme auf die Fig. 1 bis 4 beschrieben.

[0023] In Fig. 1b ist beispielhalber eine Anordnung (Matrix) von vier Speicherzellen erkennbar, wobei die streifenförmigen Wortleitungen 10 (Gate) in der Aufsicht gemäß Fig. 1b die Reihen (= Zeilen) der Matrix definieren und die nebeneinander in einer Reihe angeordneten Transistoren kontaktieren, während die streifenförmigen, Spalten definierenden oberen Source/Drain-Gebiete 4 jeweils oberhalb der Transistoren verlaufen, die in einer der Spalten angeordnet sind. Der Schnitt durch diese Zellenanordnung entlang der in Fig. 1b angedeuteten Linie A-A ist in Fig. 1a gezeigt. Wie nachfolgend noch näher erläutert wird, ist es fertigungstechnisch vorteilhaft, von einem SOI-Substrat auszugehen, also von einem Substrat 1 mit einer darüber liegenden, zu strukturierenden p-Siliziumschicht 3 und einer zwischenliegenden, vergrabenen Oxidschicht 2.

[0024] Auf dem SOI-Wafer, d. h. auf der p-Siliziumschicht 3, wird, wie in Fig. 1a erkennbar, zunächst durch Implantationen ein Array von oberen n-dotierten Source/ Drain-Gebieten 4 erzeugt. Vorteilhafterweise können an dieser Stelle des Prozessablaufs weitere Implantationen (Wannen Array, Peripherie etc.) sowie die Erzeugung von Grabenisolationen in STI(Shallow Trench Isolation)-Technik für die Peripherie vorgenommen werden.

[0025] Anschließend erfolgt das (Trocken)-Ätzen der in Spaltenrichtung verlaufenden Gräben 5 mittels lithographisch erzeugter Maskenmuster, so dass durchgehende, von den Gräben 5 begrenzte Stege 7 (vgl. Fig. 2b) aus p-Silizium übrigbleiben. In Reihenrichtung, vgl. Fig. 1a, resultieren die Kanalgebiete 6 der nebeneinander angeordneten Transistoren.

[0026] Im nächsten Schritt wird beispielsweise Siliziumnitrid abgeschieden, mittels eines CMP-Verfahrens planarisiert und dann rückgeätzt, so dass Nitridschichten in den Gräben 5 erzeugt werden, die später als Abdeckschicht 8 dienen. Daraufhin erfolgt das Erzeugen von Gateoxid 9 zu beiden Seiten und oberhalb der Stege 7, wobei evtl. hinsichtlich der Transistoren im Zellenfeld und in der Peripherie getrennt vorgegangen werden kann. Das Gateoxid 9 kann insbesondere mit Hilfe einer thermisch gewachsenen Oxidschicht erzeugt werden.

[0027] Im nächsten Prozessschritt erfolgt das Abscheiden, lithographische Strukturieren und Ätzen der streifenförmigen Wortleitungen 10. Das leitfähige Material, beispielsweise dotiertes Polysilizium, Wolfram, Siliziumnitrid oder ein Schichtsystem mit einer zwischenliegenden Wolframnitridschicht, füllt dabei auch die Gräben 5 auf, so dass die Gateelektroden 11 und 12 entstehen. Nach dem Ätzen der Wordline 10 können weitere SiN-Abscheidungen und Ätzungen, insbesondere zur Herstellung von Spacern vorgenommen werden. Außerdem können weitere Source/Drain-Gebiete in der Peripherie z. B. zur Herstellung von Logikschaltungen auf dem Chip implantiert werden. Schließlich kann auf der Oberseite des Substrats 1 eine erste waferbondingfähige Hilfsschicht 13, typischerweise eine Oxidschicht (möglich ist jedoch auch eine BPSG-Schicht), abgeschieden und ggf. planarisiert werden, so dass der in Fig. 1a gezeigte Fertigungszustand resultiert.

[0028] An die planarisierte Hilfs-(Oxid)schicht 13 wird in einem weiteren Prozessschritt, einem Wafer-Bondingschritt, ein erstes Hilfsträger-Substrat 14 angebracht bzw. aufgeklebt. Dies kann durch Aufheizen der gegenüberliegenden Flächen und anschließendes Zusammenfügen geschehen.

Nach dem Zusammenfügen und Abkühlen der Grenzflächen entsteht nach einer vorbestimmten Zeitdauer eine unlösliche chemische Bindung zwischen der Hilfs-(Oxid)schicht 13 und dem ersten Hilfsträger-Substrat 14.

[0029] Die Bearbeitung der entstandenen Struktur erfolgt für die weiteren Prozessschritte (zunächst) von der gegenüberliegenden Seite. Hierzu wird die gesamte Struktur "umgedreht" und das nunmehr oben liegende Substrat 1 durch Nassätzen weggeätzt, wobei die vergrabene Oxidschicht 2 vorteilhafterweise als Ätzstop dient. Durch chemisch-mechanische Planarisierung CMP oder durch einen weiteren Ätzschritt wird ferner die vergrabene Oxidschicht 2 entfernt, wobei die zuvor erzeugte Abdeckschicht 8, insbesondere eine Siliziumnitridschicht, dazu dient, diese Prozesse vor dem Gateoxid 9 zu stoppen.

[0030] In die nunmehr freiliegende Oberfläche, vgl. Fig. 2a, die bisherige Rückseite, werden Dotierungsionen zur Erzeugung eines Arrays von unteren Source/Drain-Gebieten 15 auf den Kanalgebieten 6 implantiert. Anschliessend, vgl. Fig. 2b und c, werden flache Isolationsgräben 16 in STI-Technik streifenförmig in der üblichen Weise (Lithographie, Ätzen, Oxidabscheiden, CMP) erzeugt, da die unteren Source/Drain-Gebiete, anders als die oberen, elektrisch getrennt werden müssen.

[0031] Damit ist der in Fig. 2 gezeigte Fertigungszustand erreicht. Der Grundgedanke der Erfindung zeigt sich am leichtesten in der Zusammenschau von Fig. 2a und 2b, die jeweils einen Schnitt in zueinander senkrechte Schnittrichtungen entlang einer der beiden in der Draufsicht gemäß Fig. 2c angedeuteten Linien zeigen.

[0032] In Fig. 2a sind die vertikalen MOS-Transistoren gut erkennbar, die jeweils ein oberes und unteres Source/Drain-Gebiet 4 und 15 sowie ein dazwischen vertikal verlaufendes Kanalgebiet 6, sowie das Gateoxid 9 umfassen. Lateral, also links und rechts der Kanalgebiete 6 sind in den Gräben 5 jeweils Gateelektroden 11 und 12 gebildet, die durch die streifenförmige Wortleitung 10 miteinander verbunden sind.

[0033] Es handelt sich also erfindungsgemäß um Vertikal-Transistoren mit lateralen Doppel-Gates, so dass es einerseits, je nach Breite und Dotierung der Kanalgebiete 6, ohne weiteres möglich ist, die Transistoren "Fully depleted" zu realisieren. Dabei sind die Transistoren in Reihenrichtung so aneinander gehängt, dass jeder Transistor lateral zwei Gateelektroden 11 und 12 aufweist, jede Gateelektrode in einem Graben 5 aber auch zwei benachbarten Transistoren zugeordnet werden kann.

[0034] Andererseits sind die Vertikaltransistoren in Spaltenrichtung so aneinander gehängt, vgl. Fig. 2b, dass die Kanalgebiete 6 als durchgehender Steg 7 ausgebildet sind. Die Transistoren, genauer die Kanalgebiete 7 der Transistoren einer Spalte, bilden demnach nicht einzelne, voneinander isolierte Siliziumsäulen, sondern ein mauerartiges Gebilde, nämlich den Steg 7. Diese Gebilde können entweder aufgrund ihrer Größe selbst substratähnlichen Charakter annehmen oder sie eröffnen jedenfalls die Möglichkeit der Kontaktierung am Substratrand. Mittels der durch Kontaktierung am Substratrand auf Ground gelegten Kanalgebiete 6 können Floating-Body-Effekte wesentlich vermindert oder vollständig vermieden werden.

[0035] Es bietet sich an, Zellenanordnungen mit Speicherzellen, die jeweils einen vertikalen Transistor, einen darunter angeordneten Kondensator und eine über dem Transistor angeordnete Metall-Bitleitung umfassen, herzustellen. Dazu sind im Wesentlichen folgende zusätzliche Schritte erforderlich:

Zunächst werden auf der Vorderseite des ersten Hilfsträger-Substrats 14 Kontaktstrukturen 17 und darüber Stack-Kon-

densatoren erzeugt. Die Kontaktstrukturen 17 verbinden jeweils das untere Source/Drain-Gebiet 15 jedes Transistors mit der ersten Elektrode 18 des unter dem Transistor gestapelten Kondensators. Ein Dielektrikum 19, beispielsweise Tantalpentoxid, trennt jeweils die erste Elektrode 18 von der Gegenelektrode des Kondensators, die als gemeinsame Kondensatorplatte 20 ausgeführt und angeschlossen wird. Beim Stapelkondensator kommen alle herkömmlichen Ausführungsformen (Box, Zylinder etc.) in Frage, ebenso bei den Materialien, wobei Metallelektroden und Dielektrika mit sehr hoher Dielektrizitätskonstante bevorzugt sind. Insgesamt sind also Kondensatoren mit einfachem, niederohmigen Anschluss und ohne durch die Metallisierung bedingten Einschränkungen im Aspektverhältnis, wie sie mit Grabenkondensatoren einhergehen würden, möglich.

[0036] Nach Herstellung der gestapelten Kondensatoren wird oberhalb der Kondensatoren wiederum eine zweite Hilfs-(Oxid)schicht 21 abgeschieden und in einem Wafer-Bondingschritt ein zweites Hilfsträger-Substrat 22 angebracht bzw. aufgeklebt. Danach wird die gesamte Struktur wiederum umgedreht, so dass auf der Vorderseite des Hilfsträger-Substrats 22 nunmehr Metall-Bitleitungen 23 und Kontakte (nicht dargestellt) mit herkömmlichen Verfahrensschritten erzeugt werden können.

[0037] Die in Fig. 4 dargestellte erfindungsgemäße DRAM-Zellenanordnung, die nach dem zweimaligen "Umdrehen" nun die gewünschte Anordnung (Substrat, darüber der vergrabene Kondensator, darüber der Vertikal-Transistor und oben die Metall-Bitleitung) aufweist, bietet einen sehr hohen Integrationsgrad aufgrund der vertikal angeordneten Auswahltransistoren und der darunter gestapelten Kondensatoren. Eine Speicherzelle weist in etwa die Größe von $4F^2$ auf, wobei die kleinste lithographische Größe $F < 0,2 \mu\text{m}$ ist. [0038] Der Herstellungsprozess zur Herstellung der erfindungsgemäßen DRAM-Zellenanordnung ist vor allem hinsichtlich der Lithographie (Verwendung von Streifenmasken) sehr einfach und weist insbesondere einen sehr einfachen Metallisierungsvorgang auf.

[0039] Insbesondere durch die mehrfache Verwendung von Wafer-Bonding im Prozessablauf gelingt es, die Prinzipvorteile der Trenchtechnologie (einfache Metallisierung, gute Integrierbarkeit von Vertikaltransistoren, da Kapazität und Metallisierung vom Device aus gesehen in verschiedenen Richtungen liegen) und der Stack-Technologie (Prozessreihenfolge nach absteigendem thermischen Budget: Device, Kondensator, Metallisierung) zu verbinden.

Bezugszeichenliste

- 1 Substrat
- 2 vergrabene Oxidschicht
- 3 p-Siliziumschicht
- 4 obere S/D Gebiete
- 5 Gräben in 3
- 6 Kanalgebiete
- 7 Steg, bestehend aus in Spalten angeordneten 6
- 8 Abdeckschicht
- 9 Gatedielektikumsschicht
- 10 Wortleitungen
- 11 Gateelektrode
- 12 Gateelektrode
- 13 erste waferbondingfähige Hilfsschicht
- 14 erstes Hilfsträger-Substrat
- 15 untere S/D Gebiete
- 16 flache Isolationsgräben zwischen 15
- 17 Kontaktstrukturen
- 18 erste Kondensatorelektrode
- 19 Dielektrikum zwischen 18 und 20

- 20 gemeinsame Kondensatorplatte
 21 zweite waferbondingfähige Hilfsschicht
 22 zweites Hilfsträger-Substrat
 23 Metall-Bitleitung

Patentansprüche

1. DRAM-Zellenanordnung mit vertikalen MOS-Transistoren, mit einer Matrix-Anordnung von Speicherzellen, die jeweils einen MOS-Transistor mit einem oberen Source/Drain-Gebiet (4), einem Kanalgebiet (6) und einem unteren Source/Drain -Gebiet (15), die als Schichten übereinander gestapelt sind, und einen mit dem MOS-Transistor verbundenen Kondensator (18, 19, 20) aufweisen, bei der die Kanalgebiete (6) der MOS-Transistoren der Speicherzellenmatrix in Reihen und Spalten angeordnet sind und die entlang einer der Spalten angeordneten Kanalgebiete (6) Teile eines horizontal in einem Substrat (1) verlaufenden Steges (7) sind, bei der die Stege (7) jeweils auf beiden Seiten und oberhalb des oberen Source/Drain-Gebietes (4) von einer Gatedielektrikumschicht (9) umgeben sind, bei der die Gateelektroden (11, 12) der MOS-Transistoren, die entlang einer der Reihen der Speicherzellenmatrix angeordnet sind, Teile einer streifenförmigen Wortleitung (10) sind, die parallel zur Reihe, oberhalb der Stege (7), verläuft und die von oben in die zwischen den Stegen (7) in Spaltenrichtung gebildeten Gräben (5) hineingreift und diese über die Breite der Wortleitung (10) hinweg auffüllt, so dass an jedem Kreuzungspunkt der Speicherzellenmatrix ein vertikaler Doppel-Gate-MOS-Transistor mit auf beiden Seiten des zugehörigen Steges (7) in den Gräben (5) gebildeten Gateelektroden (11, 12) der zugehörigen Wortleitung (10) vorgesehen ist.
2. DRAM-Zellenanordnung nach Anspruch 1, bei der jede Speicherzelle einen unter dem MOS-Transistor gestapelten Kondensator (18, 19, 20) aufweist, der mit dem unteren Source/Drain-Gebiet (15) elektrisch verbunden ist, und bei der oberhalb der MOS-Transistoren, die entlang einer der Spalten angeordnet sind, eine Metall-Bitleitung (23) parallel zur Spalte verläuft, die über den Wortleitungen (10) liegt und die mit den oberen Source/Drain-Gebieten (4) der zugehörigen MOS-Transistoren elektrisch verbunden ist.
3. DRAM-Zellenanordnung nach Anspruch 2, bei der ein Hilfsträger-Substrat (22) vorgesehen ist, das unter Zwischenfügung einer waferbondingfähigen Hilfsschicht (21) unterhalb der Kondensatoren (18, 19, 20) angeordnet ist.
4. Verfahren zur Herstellung einer DRAM-Zellenanordnung nach Anspruch 1, umfassend folgende Schritte:
 - a) Implantieren von Dotierungionen zur Erzeugung eines Arrays von oberen Source/Drain-Gebieten (4) auf einem Substrat (1);
 - b) Ätzen der Gräben (5) mittels lithographisch erzeugter Maskenmuster zur Erzeugung der zu Stegen (7) verbundenen Kanalgebiete (6);
 - c) Erzeugung einer Abdeckschicht (8) in den Gräben (5) und Erzeugung einer Gatedielektrikumschicht (9) auf den Oberflächen der Stege (7);
 - d) Abscheiden und Strukturieren der streifenförmigen Wortleitungen (10), wobei zu beiden Seiten jedes MOS-Transistors Gateelektroden (11, 12)

erzeugt werden;

- e) Abscheiden einer ersten waferbondingfähiger Hilfsschicht (13) auf die Vorderseite des Substrats (1), nachfolgend Anbringen eines ersten Hilfsträger-Substrats (14) auf dieser ersten Hilfsschicht (13) und anschließendes Entfernen des Substrats (1);
 - f) Implantieren von Dotierungionen zur Erzeugung eines Arrays von unteren Source/Drain-Gebieten (15) auf den Kanalgebieten (6);
 - g) Erzeugung von flachen Isolationsgräben (16) in STT-Technik.
5. Verfahren nach Anspruch 4 mit folgenden zusätzlichen Schritten:
- h) Erzeugung von Kontaktstrukturen (17) und von auf der Vorderseite des ersten Hilfsträger-Substrats (14) mit Kontakt zu den unteren Source/Drain-Gebieten (15) der zugehörigen MOS-Transistoren gestapelten Kondensatoren (18, 19, 20);
 - i) Abscheiden einer zweiten waferbondingfähigen Hilfsschicht (21) auf die Vorderseite des ersten Hilfsträger-Substrates (14), nachfolgend Anbringen eines zweiten Hilfsträger-Substrates (22) auf dieser zweiten Hilfsschicht (21) und anschließendes Entfernen des ersten Hilfsträger-Substrates (14) und der ersten Hilfsschicht (13);
 - j) Ausbilden einer strukturierten Metall-Bitleitung (23) auf der Vorderseite des zweiten Hilfsträger-Substrates (22) zur direkten elektrischen Kontaktierung der oberen Source/Drain-Gebiete (4).
6. Verfahren nach Anspruch 4 oder 5, bei dem im Prozessschritt
- a) ein SOI-Substrat (1, 2, 3) verwendet wird und bei dem am Ende des Prozessschrittes
 - e) zunächst das Siliziumsubstrat (1) rückgeätzt oder abgespalten und danach die vergrabene Oxidschicht (2) des SOI-Substrats (1, 2, 3) entfernt wird.

Hierzu 3 Seite(n) Zeichnungen

FIG 1b

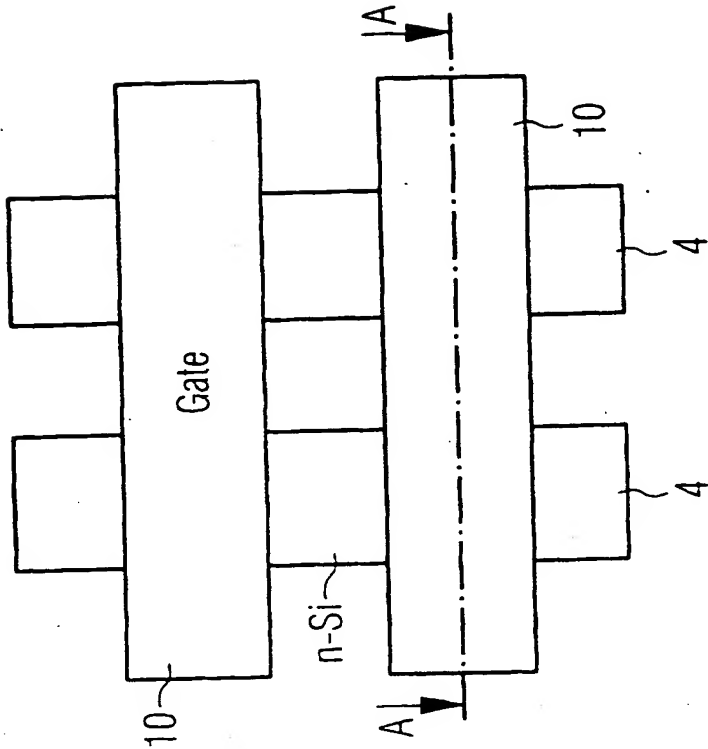
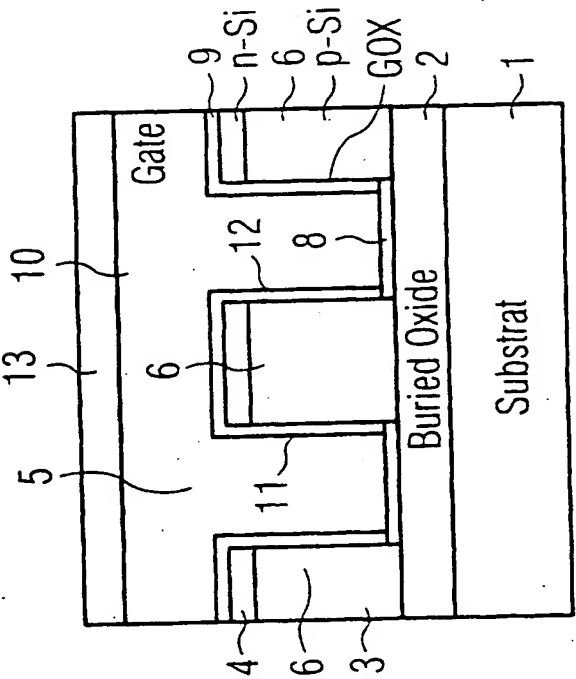


FIG 1a



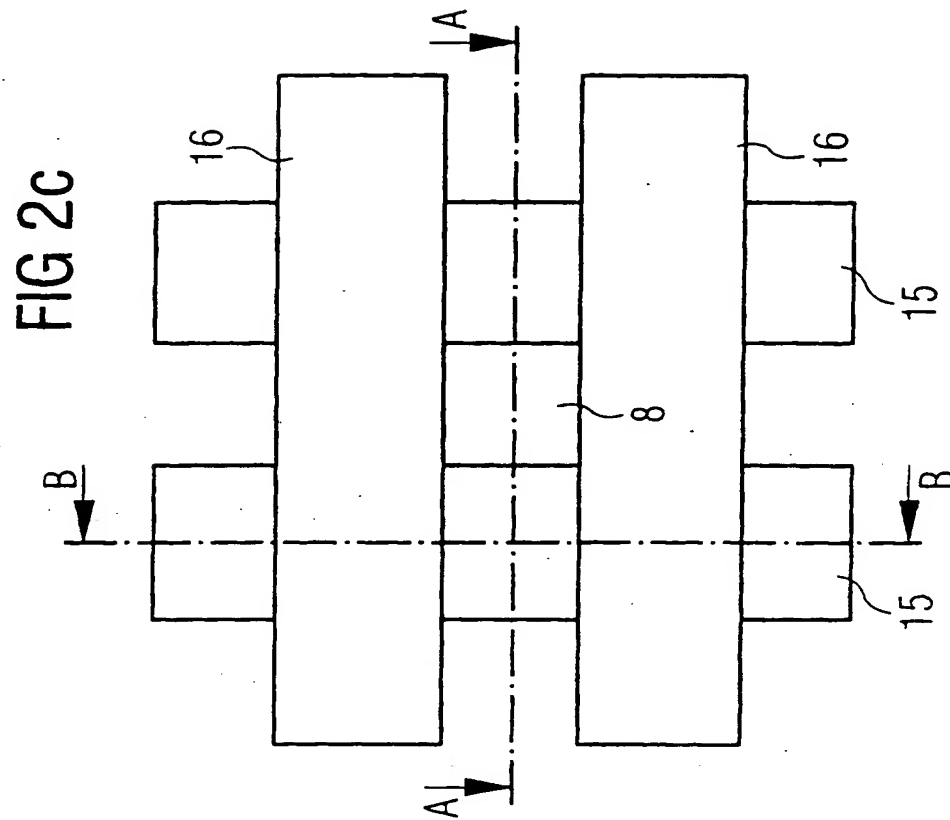
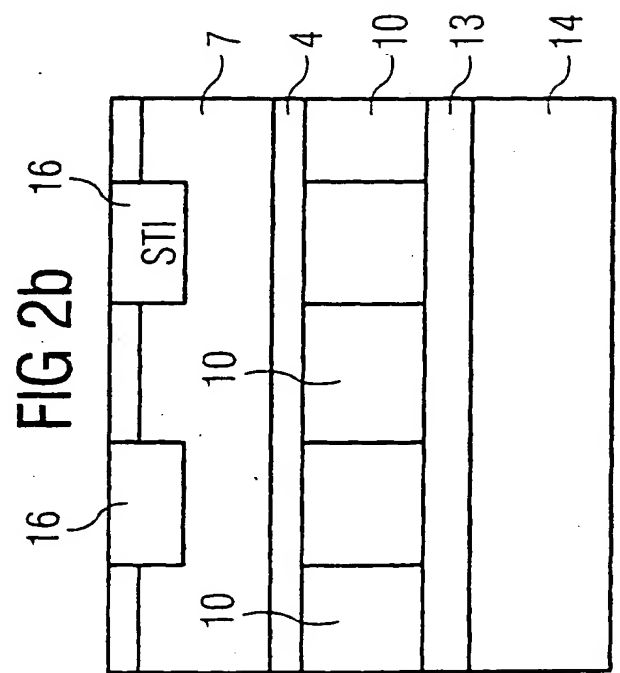
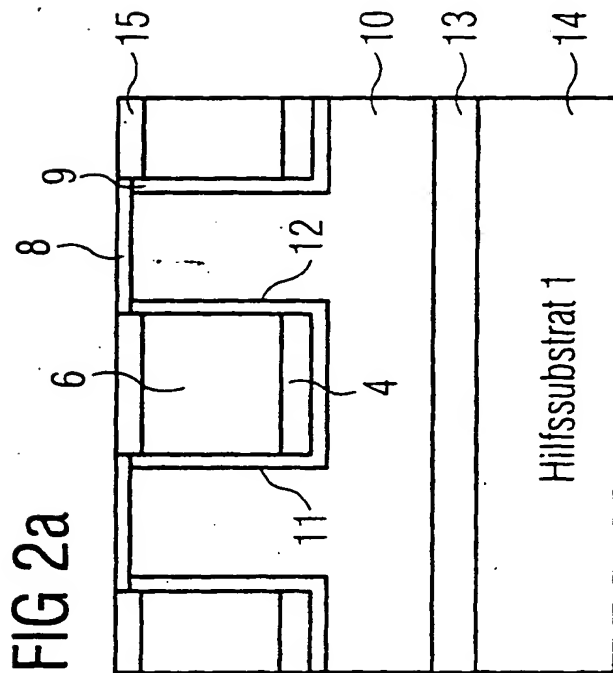


FIG 4

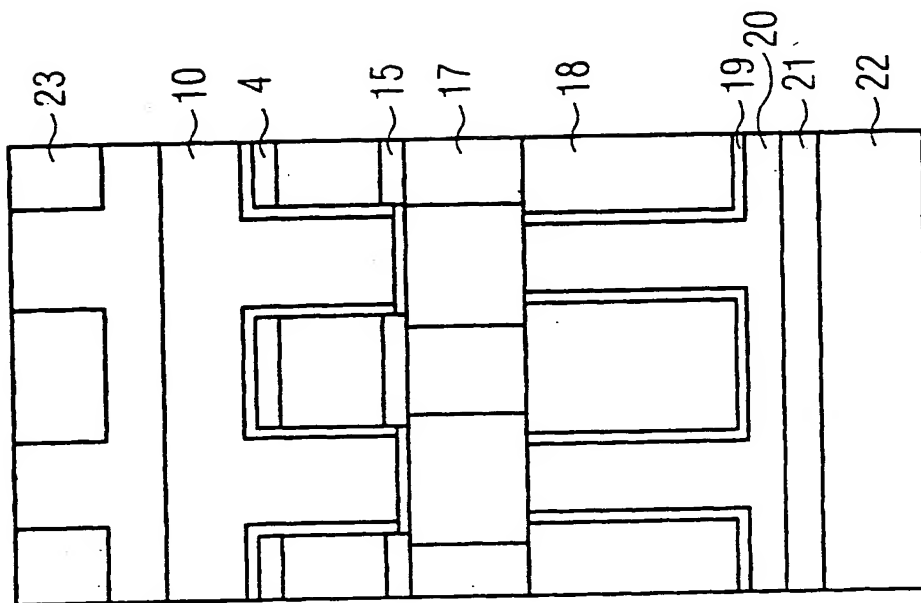
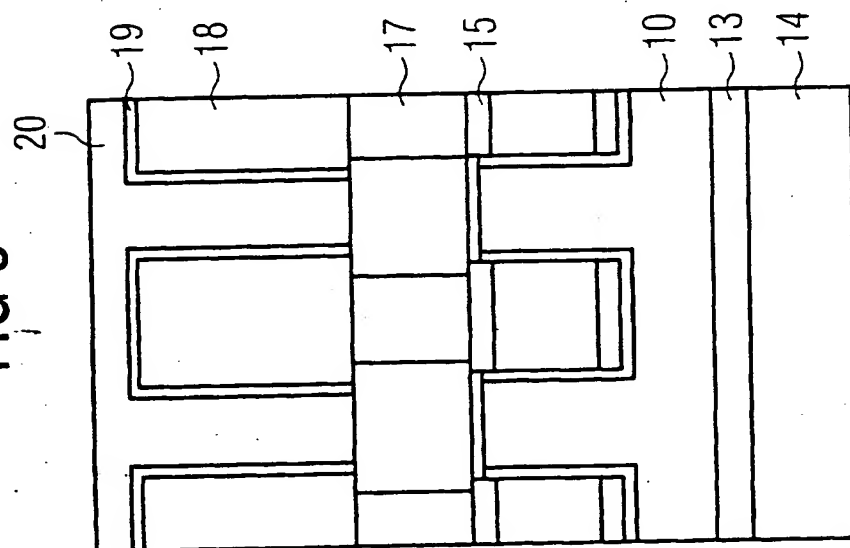


FIG 3



DRAM cell arrangement used for a semiconductor storage device comprises a matrix arrangement of storage cells stacked over each other as layers, and a capacitor connected to the MOS transistor

Patent Number: DE10125967
Publication date: 2002-07-11
Inventor(s): SCHLOESSER TILL (DE); LEE BRIAN (US)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE10125967
Application Number: DE20011025967 20010529
Priority Number(s): DE20011025967 20010529
IPC Classification: H01L27/108; H01L21/8242
EC Classification: H01L21/8242C2, H01L21/8242B4
Equivalents: WO02097891

Abstract

The channel regions, which are arranged along one of the columns of the storage cell matrix, are parts of a connecting element surrounded by a gate dielectric layer. The gate electrodes of the MOS transistors of a row are parts of a strip-shaped word line. According to the invention, a vertical double gate MOS transistor having gate electrodes, which are formed in the trenches on both sides of the assigned connecting element, of the assigned word line, is provided at each point of intersection of the storage cell matrix.

Data supplied from the esp@cenet database - I2

BOOKED NO:

DATE:

APPROVAL:

LEVER AND QUEMERS P.A.

PO BOX 5180

55030 ACIBAD TURKEY

P. 11

DOCKET NO: MUH-12876

SERIAL NO:

APPLICANT: B. Kowalski et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100